

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11167366 A

(43) Date of publication of application: 22.06.99

(51) Int. Cl **G09G 3/20**
G09G 3/20
G09G 3/20
G02F 1/133
G09G 3/36

(21) Application number: 10218677

(71) Applicant: CASIO COMPUT CO LTD

(22) Date of filing: 17.07.98

(72) Inventor: NAKANISHI TAKAYUKI

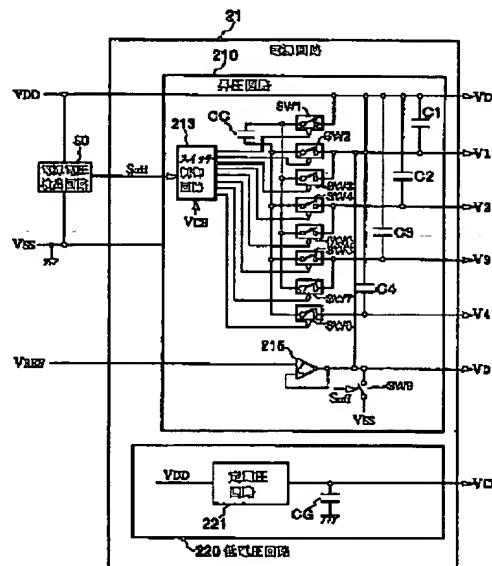
(30) Priority: 30.09.97 JP 09281161

(54) DRIVING CIRCUIT OF DISPLAY ELEMENTS AND DRIVING METHOD THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent abnormal display of a bright line, and a point, etc., caused by disconnection of a power source.

SOLUTION: A switch control circuit 213 is operated with a voltage VCH, and produces stepped up voltages V1-V4 higher than by a power source voltage VDD by distributing the charge in the electron carrier capacitor CC to booster capacitors C2 to C4. A signal drive circuit and a scanning drive circuit select a voltage from VDD and V1-V4 as necessary and apply it on liquid crystal display elements for driving them. When the power source is disconnected and the power source voltage VDD is decreased, a power source voltage detecting circuit 30 detects that and turns on a switch SW9. Moreover, the switch control circuit 213 operates on the electric charges stored in a capacitor CG to turn on all of the switches SW1-SW8. Thus, the electric charges stored in the capacitor CC and C1-C4 are discharged and all the output voltages of the power source circuit 21 are lowered to the earth voltage VSS, and abnormal display such as bright lines, etc., is prevented.



(51) Int.Cl.⁶
 G 0 9 G 3/20
 6 7 0
 6 1 2
 6 4 2
 G 0 2 F 1/133
 G 0 9 G 3/36
 5 2 0

F I
 G 0 9 G 3/20
 6 7 0 D
 6 1 2 A
 6 4 2 Z
 G 0 2 F 1/133
 G 0 9 G 3/36
 5 2 0

審査請求 未請求 請求項の数12 FD (全 11 頁)

(21)出願番号 特願平10-218677
 (22)出願日 平成10年(1998)7月17日
 (31)優先権主張番号 特願平9-281161
 (32)優先日 平9(1997)9月30日
 (33)優先権主張国 日本 (JP)

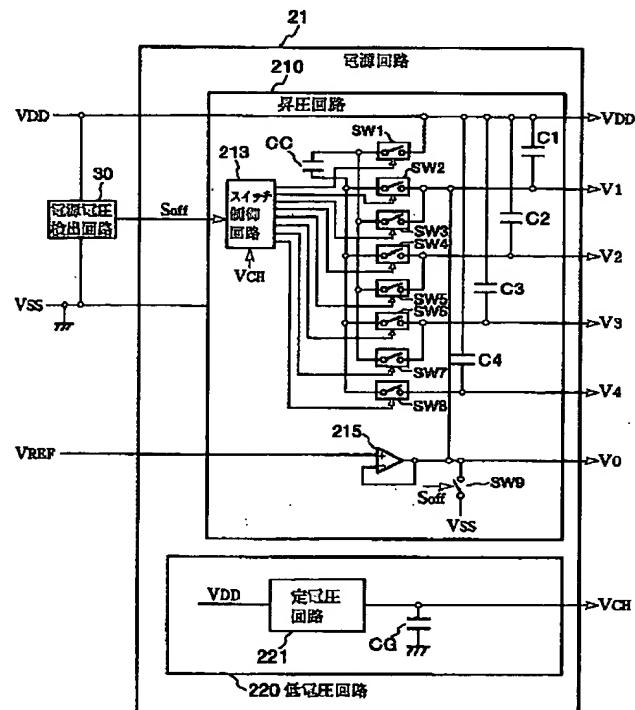
(71)出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (72)発明者 中西 賢之
 東京都八王子市石川町2951番地の5 カシ
 オ計算機株式会社八王子研究所内

(54)【発明の名称】表示素子の駆動回路及び駆動方法

(57)【要約】

【課題】電源の切断に起因する輝線・輝点等の異常表示を防止する。

【解決手段】スイッチ制御回路213は、電圧VCHで動作し、通常動作時は、電荷運搬用コンデンサCCの蓄積電荷を昇圧用コンデンサC2～C4に分配することにより、電源電圧VDDより高い昇圧電圧V2～V4を生成する。信号駆動回路及び走査駆動回路は、VDD及びV1～V4のうちから、適宜選択した電圧を液晶表示素子に印加して駆動する。電源が切断され、電源電圧VDDが低下すると、電源電圧検出回路30がこれを検出し、スイッチSW9がオンする。また、スイッチ制御回路213は、コンデンサCGの蓄積電荷で動作し、スイッチSW1～SW8を全てオンする。従って、コンデンサCC及びC1～C4の蓄積電荷が放電され、電源回路21の出力電圧が全て接地電圧VSSになり、輝線等の異常な表示がなされることを防止できる。



【特許請求の範囲】

【請求項1】電力の供給を受け、表示素子を駆動する電圧を該表示素子に供給する駆動手段と、前記駆動手段を動作させる動作電力を発生して前記駆動手段に供給し、この駆動電力の蓄積手段を備えた電源手段と、前記駆動手段への電力の供給の停止を検出する電源切断検出手段と、前記電源切断検出手段の検出に応答し、前記蓄積手段に蓄積されている電力により、前記駆動手段に所定の電源切断処理動作を実行させる電源切断時処理手段と、を備えることを特徴とする表示素子の駆動回路。

【請求項2】前記電源切断時処理手段は、前記駆動手段を制御して、前記表示素子の表示をオフする、ことを特徴とする請求項1に記載の表示素子の駆動回路。

【請求項3】前記駆動手段は、電力の供給を受け、供給された電力によりコンデンサを充電し、該コンデンサに充電された電圧を用いて前記表示素子を動作させる駆動電圧を生成する電源供給手段と、前記電源供給手段が生成した駆動電圧を選択的に前記表示素子に供給する駆動電圧供給手段を備えている、

ことを特徴とする請求項1又は2に記載の表示素子の駆動回路。

【請求項4】前記電源切断時処理手段は、前記コンデンサの電荷を放電させる放電手段を含む、ことを特徴とする請求項3に記載の表示素子の駆動回路。

【請求項5】前記放電手段は、前記コンデンサの両端間を短絡又は抵抗性負荷を介して短絡する、ことを特徴とする請求項4に記載の表示素子の駆動回路。

【請求項6】前記電源切断時処理手段は、前記コンデンサの少なくとも一端の電圧を所定電圧に固定する手段を備える、ことを特徴とする請求項4に記載の表示素子の駆動回路。

【請求項7】前記電源切断時処理手段は、前記表示素子を非点灯にする電圧の信号を、前記駆動手段に出力する、ことを特徴とする請求項1乃至6のいずれか1項に記載の表示素子の駆動回路。

【請求項8】前記表示素子は、2つの電極の間に印加される電圧が所定レベル以上の時に表示を行う閾値特性を持ち、

前記駆動手段は、前記電源切断時処理手段の制御に従って、前記表示素子の前記2つの電極に印加される電圧を、同一の電圧の信号又はそれらの電位差が前記閾値未満の電圧の信号を前記表示素子に出力する、ことを特徴とする請求項7に記載の表示素子の駆動回路。

【請求項9】前記駆動手段は、供給された電圧より高い昇圧電圧を生成して出力する昇圧手段を備え、前記電源切断時処理手段は、前記昇圧手段を制御して、前記昇圧電圧の出力を停止させる、

ことを特徴とする請求項1乃至8のいずれか1項に記載

の表示素子の駆動回路。

【請求項10】前記駆動手段は、供給された電圧より高い昇圧電圧を生成して出力する昇圧手段を備え、前記電源切断時処理手段は、前記昇圧手段を制御して、前記昇圧電圧の出力を低下させる、ことを特徴とする請求項1乃至9のいずれか1項に記載の表示素子の駆動回路。

【請求項11】前記電源切断検出手段は、電源供給の停止の検出に応答して、外部より供給される電圧を低下させる手段を備える、ことを特徴とする請求項1乃至10のいずれか1項に記載の表示素子の駆動回路。

【請求項12】コンデンサに蓄えられた電気エネルギーを用いて表示素子を駆動する駆動方法において、電力の供給が断たれたことを検出した時に、コンデンサに蓄積された電気エネルギーを用いて前記表示素子の表示動作を正常に終了させるための所定の終了処理を実行する、

ことを特徴とする表示素子の駆動方法。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は、表示素子の駆動回路と駆動方法に関し、特に、電源切断（オフ）時に、本来表示されるべきでない輝線、輝点などの不適切な表示を防止することができる駆動回路及び駆動方法に関する。

【0002】

【従来の技術】表示素子は、電池等の電源から供給された電源電圧より高い電圧で駆動される。そのため、表示素子の駆動回路は、電池等の電源電圧を予め定めた高い

30 電圧に昇圧するための昇圧回路を備えている。又、表示素子を時分割駆動するために、走査電極と信号電極に供給する走査電圧と信号電圧とは、異なる電圧値を持った複数の電圧で形成される。そのため、前記駆動回路には、電圧値の異なる複数の出力電圧を持った電源回路が用いられている。複数の出力を持った前記電源回路としては、電源電圧を異なる電圧値の複数の電圧に昇圧して出力する昇圧回路、或いは、予め昇圧された高い電圧を異なる電圧値の複数の電圧に分圧して出力する分圧回路が用いられている。これらの昇圧回路としては、複数の

40 コンデンサを用い、これらのコンデンサに充電された電圧を加算するようにそれらの接続を切り換えることにより昇圧するものが知られている。また、分圧回路としては、抵抗機或いはコンデンサの直列回路により電源電圧を分圧するものが知られている。表示素子の駆動回路に用いられる上記昇圧回路、或いは分圧回路は、消費電力を低減するために、コンデンサを用いたものが適している。又、前記電源回路の各出力線には出力する電圧の安定などのため、複数のコンデンサを備えている。

【0003】

50 【発明が解決しようとする課題】従来の駆動回路では、

電源が切断された場合に、上述した駆動回路に設けられたコンデンサに残っている電荷が、表示素子に供給され、表示部が異常点灯するという問題がある。例えば、電源オフ直後は、各種スイッチが不安定な状態になるため、各コンデンサに蓄積されている電荷が、不安定にオンしたスイッチを介して表示素子に印加され、表示素子に輝線や輝点を表示させ、この不要表示は前記コンデンサに蓄積された電荷が放電するまで維持されるという問題があった。

【0004】本発明は、上記従来技術の問題点を解消するためになされたものであり、電源の切断に起因する異常表示を防止することを目的とする。また、本発明は、電源オフ時に、表示素子の表示を適切に終了させることを目的とする。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかる表示素子の駆動回路は、表示素子と、電力の供給を受け、前記表示素子を駆動する電圧を該表示素子に供給する駆動手段と、前記駆動手段を動作させる動作電力を発生して前記駆動手段に供給し、この駆動電力の蓄積手段を備えた電源手段と、前記駆動手段への電力の供給の停止を検出する電源切断検出手段と、前記電源切断検出手段の検出に応答し、前記蓄積手段に蓄積されている電力により、前記駆動手段に所定の電源切断処理動作を実行させる電源切断時処理手段と、を備えることを特徴とする。

【0006】この発明によれば、表示素子の駆動回路は蓄積手段により蓄積された電力を用いて所定の処理を行うので、電源がオフされた後、表示素子への異常な輝線、輝点などの発生を防止することができる。さらに、蓄積手段により蓄積された電力を用いて所定の処理を実行する動作により、蓄積電荷を消費して、蓄積電荷による異常表示を防止できる。また、蓄積手段自体は、表示素子の駆動に本来必要なものであり、蓄積手段を新たに設ける必要もない。

【0007】また、上記構成の表示素子の駆動回路は、電力の供給停止時に、前記表示素子の表示をオフすることにより異常表示を防止できる。

【0008】前記駆動手段は、例えば、供給された電力によりコンデンサを充電し、該コンデンサに充電された電圧を用いて前記表示素子を動作させる駆動電圧を生成する電源供給手段と、前記電源供給手段が生成した駆動電圧を選択的に前記表示素子に供給する駆動電圧供給手段を備えている。電源切断時処理手段は、例えば、コンデンサの両端を短絡することにより放電させてもよい。これにより、異常表示の原因となる蓄積電荷自体を除去できる。また、コンデンサの少なくとも一端の電圧を固定電圧に固定するなどしてもよい。

【0009】また、表示を非点灯状態にするような電圧の信号を、前記表示素子に供給するようにしてもよい。

例えば、前記表示素子が、2つの電極（液晶表示素子の場合、例えば、走査電極と信号電極）の間に印加される電圧が所定レベルの閾値以上の時に表示を行うものである場合、前記2つの電極に印加される電圧を、同一又はそれらの電位差が前記閾値未満の電圧となる信号を前記表示素子に供給すればよい。

【0010】昇圧手段を備える場合には、前記昇圧電圧の出力を停止又は低下させてもよい。

【0011】前記電源切断検出手段は、電源供給の停止の検出に応答して、外部より供給される電圧を、プルダウンする等して低下させてもよい。

【0012】また、この発明の第2の観点にかかる表示素子の駆動方法は、コンデンサに蓄えられた電気エネルギーを用いて表示素子を駆動する駆動方法において、電力の供給が断たれたことを検出した時に、コンデンサに蓄積された電気エネルギーを用いて前記表示素子の表示動作を正常に終了させるための所定の終了処理を実行する、ことを特徴とする。これにより、例えば、異常表示の原因となるコンデンサに蓄積された電気エネルギーを放電させたり、表示素子を非点灯状態にするための駆動電圧を印加する等の、終了処理を行い、表示素子の表示動作を正常に終了させることができる。

【0013】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態にかかる液晶表示装置について説明する。

【0014】この液晶表示装置は、図1に示すように、液晶表示素子10と、この液晶表示素子10駆動する駆動回路20と、この駆動回路に供給される電源電圧を検出し、前記駆動回路の動作を制御する電源電圧検出回路30とから構成されている。

【0015】液晶表示素子10は、図1に模式的に示すように、複数の信号電極（セグメント電極）11と信号電極11に直交して配置された複数の走査電極（コモンライン）13と、信号電極11と走査電極13との間に配置された液晶層15とを備え、信号電極11と走査電極13との間に印加される電圧に応じた表示を行う。

【0016】駆動回路20は、液晶表示素子10を制御及び駆動するための回路であり、図1に模式的に示すように、複数の電圧を発生して出力する電源回路21と、

電源回路21から出力された複数の電圧を選択して、液晶表示素子10の複数の信号電極11に信号電圧を供給する信号駆動回路23と、電源回路21から出力された複数の電圧を選択して、複数の走査電極13に走査電圧を供給する走査駆動回路25と、前述の各回路に複数のクロック信号を供給するタイミング回路27とより構成され、例えば、LSI化されている。

【0017】電源回路21は、図2に示すように、供給された電源電圧を昇圧した複数の電圧を発生する昇圧回路210と、信号駆動回路23と、走査駆動回路25と、電源回路21等の論理回路を動作させるための動作

電圧を発生する低電圧回路220とより構成される。

【0018】昇圧回路210は、電力の供給を受け、液晶表示素子10を駆動するための電圧を生成するためのものであり、図2に示すように、予め定められた順序に従って複数のスイッチの開閉を制御するための信号を出力するスイッチ制御回路213と、スイッチ制御回路213からの信号電極により開閉制御されるスイッチ群SW1～SW9と、スイッチ群SW1～SW9の開閉によって接続が切り替えられる昇圧用コンデンサC1～C4、電荷運搬用CCと、外部から供給される基準電圧VREFが入力され、前記コンデンサC1～C4、CCに充電するための電圧V0を出力するボルテージフォロワ増幅器215とから構成され、外部から供給される基準電圧VREFに等しい電圧V1と、電源電圧VDDを昇圧した電圧V2～V4 (V4>V3>V2>VDD>V1) を出力する。

【0019】電源電圧検出回路30は、外部より供給される電源電圧VDDと接地電圧VSSとの電位差を検出し、電源切断信号を出力する。この電源電圧検出回路30は、例えば図3に示すように構成され、外部から供給される直流電源電圧VDD (正確にはVDD-VSS) が基準レベル以下となった時にハイレベルの電源切断信号Soffを出力する。図3に示す回路構成の場合、VDD-VSSがNチャネルMOSトランジスタN1のしきい値電圧より高い時は、NチャネルMOSトランジスタN1がオンする。従って、抵抗R1とNチャネルMOSトランジスタN1のドレインとのノードA1の電圧はほぼ接地電圧VSSであり、PチャネルMOSトランジスタP1がオンし、NチャネルMOSトランジスタN2がオフし、PチャネルMOSトランジスタP1とNチャネルMOSトランジスタN2とのノードA2の電圧はハイレベルとなる。従って、インバータINVの出力は、ローレベルとなり、これがレベルシフタLSによりレベルシフトされて出力される。

【0020】一方、電源の供給の停止等により、電源電圧VDDが低下すると、VDD-VSSが低下し、NチャネルMOSトランジスタN1のしきい値電圧より低くなると、NチャネルMOSトランジスタN1がオフする。従って、ノードA1の電圧がほぼVDDになり、PチャネルMOSトランジスタP1がオフし、NチャネルMOSトランジスタN2がオンし、ノードA1の電圧はローレベルとなる。従って、インバータINVの出力はハイレベルとなり、これがレベルシフタLSによりレベルシフトされて出力される。

【0021】従って、図3の電源電圧検出回路30は、通常時は、ローレベルの電源切断信号Soffを出力し、電源切断時等に、ハイレベルの電源切断信号Soffを出力する電源切断検出回路として機能する。

【0022】ボルテージフォロワ増幅器215は、外部より供給される基準電圧VREFをボルテージフォロワ増幅し、電圧V0として出力する。この電圧V0は、後述する昇圧出力の基準電圧となる。スイッチSW9は、Nチ

ャネルMOSトランジスタなどから構成され、電源電圧検出回路30が outputするハイレベルの電源切断信号Soffに応答してオンし、電圧V0を接地電圧VSSにプルダウンする。

【0023】スイッチ制御回路213は、通常時は、タイミング回路27からの基準クロックに従って、半導体スイッチ等から構成されるスイッチSW1～SW8を、図4に示す通常動作期間Tonのタイムシーケンスでオン・オフし、コンデンサCC、C1～C4の接続関係を切り替えて昇圧電圧V2～V4を生成して出力する。また、スイッチ制御回路213は、電源電圧検出回路30が電源切断を示すハイレベルの電源切断信号Soffを出力すると、図4に示す終了処理期間ToffのタイムシーケンスでスイッチSW1～SW8をオンさせる信号を出力する。

【0024】スイッチ制御回路213の動作電圧は、低電圧回路220の後述する安定化コンデンサCGの両端の電圧 (充電電圧) から供給され、スイッチ制御回路213は、電源電圧VDDが断たれても、安定化コンデンサCGに充電されている電気エネルギーによりしばらくの間動作する。

【0025】低電圧回路220は、電源電圧VDDを一定電圧VCHに降圧して出力するスイッチングレギュレータ等の定電圧回路221と、定電圧回路221の出力端と接地電圧VSSとの間に接続された安定化コンデンサCGとから構成される。低電圧回路220は、高電圧を必要としない論理回路等に低電圧の駆動電圧を供給するものであり、この駆動回路20の消費電力を低減している。また、低電圧回路220の安定化コンデンサCGは電荷を蓄積し、電源切断時に、液晶表示素子10を非点灯状態にするための終了動作を行うための電源として機能する。

【0026】図1のタイミング回路27は、駆動回路20全体の動作タイミングを制御するものであり、低電圧VCHで動作し、基準クロックをスイッチ制御回路213に供給すると共に、2ビットの電圧切替信号ScとSdを生成して走査駆動回路25に供給する。

【0027】次に、このように構成された液晶表示装置の動作を説明する。通常動作時は、駆動回路20には、電源電圧VDDが供給され、電源電圧検出回路30は、ローレベルの電源切断信号Soffを出力する。スイッチ制御回路213は、このローレベルの電源切断信号Soffとタイミング回路27から供給されるクロック信号に従って、図4の通常動作期間Tonに示すように、まず、スイッチSW1とSW2をオンする。すると、電源電圧VDDと基準電圧V1 (=V0) が電荷運搬用コンデンサCCに印加され、電荷運搬用コンデンサCCがほぼ電圧VDD-V1に充電される。

【0028】次に、スイッチ制御回路213は、スイッチSW1とSW2をオフし、スイッチSW3とSW4を

オンする。これより、電荷運搬用コンデンサCCと昇圧用コンデンサC1の直列回路に、昇圧用コンデンサC2が並列に接続される。昇圧用コンデンサC1の両端の電圧はVDD-V1であり、昇圧用コンデンサC2は、ほぼ電圧2・(VDD-V1)で充電される。

【0029】次に、スイッチ制御回路213は、スイッチSW3とSW4をオフし、スイッチSW5とSW6をオンする。これにより、電荷運搬用コンデンサCCと昇圧用コンデンサC2の直列回路に、昇圧用コンデンサC3が並列に接続される。従って、昇圧用コンデンサC3は、ほぼ電圧3・(VDD-V1)で充電される。

【0030】次に、スイッチ制御回路213は、スイッチSW5とSW6をオフし、スイッチSW7とSW8をオンする。これにより、電荷運搬用コンデンサCCと昇圧用コンデンサC3の直列回路に、昇圧用コンデンサC4が並列に接続される。従って、昇圧用コンデンサC4は、ほぼ電圧4・(VDD-V1)で充電される。

【0031】このような動作を繰り返すことにより、スイッチSW1とSW2をオンした時に、電圧VDD-V1で電荷運搬用コンデンサCCに蓄積した電荷を昇圧用コンデンサC2～C4に順次分配する。この動作を繰り返して行うことにより、昇圧用コンデンサC2～C4に電荷が蓄積され、電源電圧VDDが昇圧された電圧V2(2・VDD-V0)、V3(3・VDD-2・V0)、V4(4・VDD-3・V0)が出力される。

【0032】信号駆動回路23は、供給された画像信号S_a、S_bに従って電圧VDD、V2、V4のいずれかを選択し、各信号電極11に印加する。

【0033】また、走査駆動回路25は、電圧切替信号S_c、S_dに従って電圧VDD、V3、V4、V1のいずれかを選択し、選択状態の走査電極13に予め定められた波形の選択信号を、非選択状態の走査電極13に予め定められた波形の非選択信号を、それぞれ印加する。

【0034】このようにして、通常動作時には、駆動回路20は、電荷運搬用コンデンサCC、昇圧用C1～C4及びCGに充電した電圧を用いて、画像信号S_a、S_bにより定義される画像を液晶表示素子10に表示する。

【0035】電源電圧VDDが遮断(オフ)された場合、電源ラインの電圧はVDDから低下する。電源ラインの電圧が基準レベルまで低下すると、電源電圧検出回路30はこれを検出し、ハイレベルの電源切断信号S_{off}を出力する。

【0036】ハイレベルの電源切断信号S_{off}に応答して、スイッチSW9がオンし、電圧V0及びV1は接地電位VSSに短絡される。

【0037】スイッチ制御回路213は、電源電圧VDDが遮断されても、安定化コンデンサCGに蓄積された電荷(電気エネルギー)により動作しすぐには動作を停止しない。従って、スイッチ制御回路213は、ハイレベ

ルの電源切断信号S_{off}に応答して、図4の終了処理期間T_{off}に示すように、スイッチSW1～SW8をオンする。このスイッチSW1～SW8がオンの状態は、安定化コンデンサCGに蓄積された電荷がスイッチ制御回路213等の動作により放電されて、スイッチ制御回路213の動作電圧より低下するまでの間保持される。この間、スイッチSW1～SW9が全てオンするため、電圧VDD、V0～V4は接地電位VSSに短絡され、電荷運搬用コンデンサC1～C4、昇圧用CCの蓄積電荷はほとんど全て放電される。

【0038】以上説明したように、この実施の形態における液晶表示装置においては、通常時は、コンデンサC1～C4、CC、CGを用いて動作を行い、電源遮断時には、コンデンサCGに蓄積された電荷(電気エネルギー)を用いて、液晶表示素子10の表示を適切に終了させるための終了処理を行う。即ち、コンデンサCGを電源として、コンデンサCC、C1～C4の蓄積電荷を放電することにより、異常表示(輝線・輝点等)の原因となる電荷自体を除去し、さらに、昇圧回路210の昇圧動作を停止させて出力電圧を接地電圧VSSに固定し、高電圧が液晶表示素子10に印加される可能性を低減する。従って、表示画面に輝点や輝線が表示される等の、コンデンサの蓄積電荷や昇圧電圧による不適切な表示を防止できる。

【0039】なお、上記実施の形態では、電源回路21は、電源電圧VDDをコンデンサを用いて複数の段階の電圧に昇圧することにより駆動電圧V1～V4を出力した。しかし、この発明は、電源電圧VDDを昇圧して昇圧電圧を生成し、生成した昇圧電圧をコンデンサを用いて分圧し、分圧した電圧を駆動電圧として出力する電源回路に適用してもよい。この場合、電源回路は、例えば、図5に示すように、電源電圧検出回路30と、昇圧部212と、低電圧回路220と、分圧回路230から構成され、駆動電圧V14、V13、V12、V11(V14>V13>V12>V11)と、基準電圧V0(V11>V0)を出力する。

【0040】図5に示す電源電圧検出回路30と低電圧回路220の構成は、第1の実施の形態で説明した電源電圧検出回路30と低電圧回路220の構成とほぼ同一である。

【0041】昇圧部212は、通常知られた構成を有し、外部から供給される電源電圧VDDを昇圧し、昇圧電圧V_{pr}を分圧回路230に供給する。分圧回路230は、昇圧部212から供給される昇圧電圧V_{pr}から駆動電圧V14、V13、V12、V11を生成し、さらに駆動電圧の基準となる基準電圧V0を生成し、出力する。この分圧回路230は、図5に示すように、分圧用スイッチ制御回路235と、電荷搬送コンデンサCC1と、電荷蓄積用コンデンサC11～C13と、ボルテージフォラ回路VF1～VF4と、スイッチ群SW11～SW22から構成される。

【0042】分圧用スイッチ制御回路235は、通常時は、外部からのクロック信号に従って、半導体スイッチ等から構成されるスイッチ群SW11～SW18を図6の通常動作期間Tonに示すタイミングシーケンスでオン・オフし、コンデンサCC1、C11～C13の接続関係を切り替える。また、分圧用スイッチ制御回路235は、電源電圧検出回路30が電源切断を示すハイレベルの電源切断信号Soffを出力すると、図6の終了処理期間Toffに示すタイミングシーケンスでスイッチSW11～SW18をオンさせる信号を出力する。

【0043】なお、分圧用スイッチ制御回路235は、電源電圧VDDが断たれても、安定化コンデンサCGに充電されている電気エネルギーによりしばらくの間動作する。

【0044】電荷搬送コンデンサCC1は、スイッチ群SW11～SW18の開閉により、電荷蓄積用コンデンサC11～C13との接続を順次切り替えられ、電荷蓄積用コンデンサC11～C13に電荷を供給する。電荷蓄積用コンデンサC11～C13は、電荷搬送コンデンサCC1から供給された電荷を蓄積し、対応するボルテージフォロア回路VF1～VF3に供給する。例えば、各コンデンサの静電容量が等しいとすると、各電荷蓄積用コンデンサC11、C12、C13は、約1:2:3の電圧比で電荷を蓄積し、対応するボルテージフォロア回路VF1～VF3に供給する。

【0045】ボルテージフォロア回路VF1～VF3は、それぞれ対応する電荷蓄積用コンデンサC11～C13からの出力電圧を1倍で増幅（インピーダンス変換）し、駆動電圧V11～V13として出力する。また、ボルテージフォロア回路VF4は、昇圧部212からの昇圧電圧Vprを1倍で増幅（インピーダンス変換）し、駆動電圧V14として出力する。

【0046】スイッチSW19～SW22は、NチャネルMOSトランジスタなどから構成され、電源電圧検出回路30が出力するハイレベルの電源切断信号Soffに応答してオンし、電圧V11、V12、V13を基準電圧V0にプルダウンする。

【0047】次に、このように構成された電源回路の動作を説明する。通常動作時は、電源回路に電源電圧VDDが供給される。供給された電源電圧VDDは、昇圧部212により昇圧され、昇圧電圧Vprとして分圧回路230に供給される。電源電圧検出回路30は、ローレベルの電源切断信号Soffを出力する。分圧用スイッチ制御回路235は、このローレベルの電源切断信号Soffと外部から供給されるクロック信号に従って、図6の通常動作期間Tonに示すように、まず、スイッチSW11とSW12をオンする。すると、電荷搬送コンデンサCC1と電荷蓄積用コンデンサC13が直列に接続される。従って、電荷蓄積用コンデンサC13は、昇圧電圧Vprを電荷搬送コンデンサCC1と電荷蓄積用コンデンサC

13との容量比に応じて分割した電圧で充電される。

【0048】次に、分圧用スイッチ制御回路235は、スイッチSW11とSW12をオフし、スイッチSW17とSW18をオンする。これにより、電荷搬送コンデンサCC1に電荷蓄積用コンデンサC11が並列に接続される。従って、電荷蓄積用コンデンサC11は、電荷搬送コンデンサCC1と電荷蓄積用コンデンサC11との容量の和に対する電荷搬送コンデンサCC1の容量に応じて、前記電荷搬送コンデンサCC1の電圧より低い電圧に充電される。

【0049】次に、分圧用スイッチ制御回路235は、スイッチSW17とSW18をオフし、スイッチSW15とSW16をオンする。これにより、電荷搬送コンデンサCC1と電荷蓄積用コンデンサC11の直列回路に、電荷蓄積用コンデンサC12が並列に接続される。従って、電荷蓄積用コンデンサC12は、電荷蓄積用コンデンサC11の充電電圧に電荷搬送コンデンサCC1の充電電圧が加算された高い電圧で充電され、電荷蓄積用コンデンサC11より高い電圧に充電される。

【0050】次に、分圧用スイッチ制御回路235は、スイッチSW15とSW16をオフし、スイッチSW13とSW14をオンする。これにより、電荷搬送コンデンサCC1と電荷蓄積用コンデンサC12の直列回路に、電荷蓄積用コンデンサC13が並列に接続される。従って、電荷蓄積用コンデンサC13は、電荷蓄積用コンデンサC12の充電電圧に電荷搬送コンデンサCC1の充電電圧が加算された高い電圧で充電され、電荷蓄積用コンデンサC12の充電電圧より高い電圧に充電される。

【0051】即ち、分圧用スイッチ制御回路235は、図6の通常動作期間Tonにおけるタイミングシーケンスに従って、スイッチ群SW11～SW18を制御して、まず電荷搬送コンデンサCC1と電荷蓄積用コンデンサC13とを直列に接続して電荷搬送コンデンサCC1を昇圧電圧Vprより低い電圧に充電し、この電荷搬送コンデンサCC1に受電された電圧で電荷蓄積用コンデンサC11を充電し、既に充電された電荷蓄積用コンデンサC11、C12の充電電圧に電荷搬送コンデンサCC1の電圧を順次加算した電圧により次段の電荷蓄積用コンデンサC12、C13を順次充電するものである。

【0052】このようなスイッチ群SW11～SW18の切り替え動作を高速に、且つ、複数回繰り返すにより、電荷蓄積用コンデンサC11、C12、C13は、次第に充電され安定した電位に保たれる。そして、これらの電荷蓄積用コンデンサC11、C12、C13に充電される電圧は、電荷蓄積用コンデンサC11、C12、C13及び電荷搬送コンデンサCC1の各容量を適宜設定することにより選択することができる。例えば、電荷蓄積用コンデンサC1、C2、C3の各容量を等しくし、電荷搬送コンデンサCC1の容量と電荷蓄積

用コンデンサC13の容量との比を3:1に設定することにより、前記スイッチの切替の繰り返しによって最終的には、電荷蓄積用コンデンサC11は、ほぼVpr/4の電圧で充電され、電荷蓄積用コンデンサC12は、ほぼ2Vpr/4の電圧で充電され、電荷蓄積用コンデンサC13は、ほぼ3Vpr/4の電圧で充電される。即ち、昇圧電圧Vprは4分割される。

【0053】そして、各電荷蓄積用コンデンサC11～C13に充電された電圧は、ボルテージフォロア回路VF1～VF3によりインピーダンス変換され、駆動電圧V11(Vpr/4)、駆動電圧V12(2・Vpr/4)、駆動電圧V13(3・Vpr/4)として出力される。又、昇圧部212からの昇圧電圧Vprは、ボルテージフォロア回路VF4によりインピーダンス変換され、駆動電圧V14(4・Vpr/4)として出力される。

【0054】電源電圧VDDが遮断(オフ)された場合、電源ラインの電圧はVDDから低下する。電源ラインの電圧が基準レベルまで低下すると、電源電圧検出回路30はこれを検出し、ハイレベルの電源切断信号Soffを出力する。

【0055】ハイレベルの電源切断信号Soffに応答して、スイッチSW19～SW22がオンし、電圧V14、V13、V12、V11は基準電位V0に短絡される。

【0056】分圧用スイッチ制御回路235は、電源電圧VDDが遮断されても、安定化コンデンサCGに蓄積された電荷(電気エネルギー)により動作しすぐには動作を停止しない。従って、分圧用スイッチ制御回路235は、ハイレベルの電源切断信号Soffに応答して、図6の終了処理期間のタイムシーケンス示すように、スイッチSW11～SW18をオンする。このスイッチSW11～SW18がオンの状態は、安定化コンデンサCGに蓄積された電荷が分圧用スイッチ制御回路235等の動作により放電されて、分圧用スイッチ制御回路235の動作電圧より低下するまでの間保持される。この間、スイッチSW11～SW22が全てオンするため、電圧V11～V14は基準電位V0に短絡され、コンデンサC11～C13、CC1の蓄積電荷はほとんど全て放電される。

【0057】以上説明した電源回路は、通常時には、コンデンサC11～C13、CC1、CGを用いて動作を行い、電源遮断時には、コンデンサCGに蓄積された電荷(電気エネルギー)を用いて、液晶表示素子10の表示を適切に終了させるための終了処理を行う。これにより、表示画面に輝点や輝線が表示される等の、コンデンサの蓄積電荷や分圧電圧による不適切な表示を防止できる。

【0058】なお、この発明は上記実施の形態に限定されず、種々の変形及び応用が可能である。例えば、上記実施の形態では、電源遮断時の異常表示を防止し、表示を適切に終了させるため、コンデンサの蓄積電荷を放電

し、昇圧動作を停止し、印加電圧として非昇圧電圧を選択しているが、これらのいずれかのみを行ってもよい。例えば、コンデンサの蓄積電荷を放電する処理だけを行ってもよい。また、昇圧動作のみを停止してもよく、或いは、印加電圧として非昇圧電圧を選択するようにしてもよい。

【0059】さらに、この発明は、上述した実施例の異常表示防止手段の他に、液晶層15に印加される電圧を実質的に0とするか、あるいは液晶層15が応答しない電圧を印加するようにしても良い。この場合、信号駆動回路23は、図7(a)に示すようにゲート回路G1、G2と信号電極駆動ブロック231を備え、2ビットの画像信号SaとSbと、電源遮断信号Soffと、電源電圧VDDと、低電圧VCHと、昇圧電圧V2、V4とが入力される。この前記信号駆動回路23は、低電圧VCHで動作し、図7(b)に示す論理に従って電圧VDD、V2、V4のいずれかを選択して対応する信号電極11に印加する。

【0060】また、走査駆動回路25は、図8(a)に示すように、ゲート回路G3、G4と走査電極駆動ブロック251を備え、2ビットの電圧切替信号ScとSdと、電源遮断信号Soffと、電源電圧VDDと、低電圧VCHと、昇圧電圧V1、V3、V4とが入力され、低電圧VCHで動作し、図8(b)に示す論理に従って、電圧VDD、V1、V3、V4のいずれかを対応する走査電極13に印加する。

【0061】このような、信号駆動回路23は、電源遮断信号Soffがローレベルのため、信号駆動回路23のゲートG1、G2が開き、信号電極駆動ブロック231には、画像信号Sa、Sbが供給される。信号電極駆動ブロック231は、画像信号Sa、Sbに従って電圧VDD、V2、V4のいずれかを選択し、各信号電極11に印加する。

【0062】そして、走査駆動回路25は、そのゲートG3、G4が開き、走査電極駆動ブロック251には、電圧切替信号Sc、Sdが供給される。走査電極駆動ブロック251は、電圧切替信号Sc、Sdに従って電圧VDD、V3、V4、V1のいずれかを選択し、選択状態の走査電極13に予め定められた波形の選択信号を、非選択状態の走査電極13に予め定められた波形の非選択信号を、それぞれ印加する。

【0063】電源電圧が遮断されたときは、ハイレベルの電源遮断信号Soffにより、ゲートG1～G4は閉じる。従って、ゲートG1～G4の出力は全てローレベルとなり、信号駆動回路23及び走査駆動回路25は共に電源電圧VDDを信号電極11及び走査電極13に印加する。即ち、表示画像を制御するための対向する2つの電極11、13は同一の電圧に固定される。従って、液晶層15には実効的に0Vが印加され、表示はオフされる。

40

40

50

【0064】上述したように、この発明の上記実施の形態では、信号駆動回路23と走査駆動回路25に、非昇圧電圧である電源電圧VDDを選択させ、しかも、信号電極11と走査電極13に等しい電圧を印加し、液晶層15への印加電圧を実質的に0Vとしている。従って、表示がオフされ、異常表示を防止できる。なお、信号電極11と走査電極13に印加する電圧は固定値である必要はなく、液晶層15の実効印加電圧が0となるような波形の電圧を印加してもよい。

【0065】また、上述した表示素子の異常表示防止手段のうちの2又は3つの組み合わせを行ってもよい。

【0066】なお、上記実施の形態においては、コンデンサC1～C4に蓄積されている電荷を放電させるために、コンデンサC1～C4の両端を短絡した。しかし、この発明はこの方法に限定されず、種々の方法でコンデンサの蓄積電荷を低減できる。例えば、充電されていたエネルギーを消費するための抵抗性負荷を介してコンデンサの両端を短絡してもよい。

【0067】また、電源切断後も、昇圧回路210を動作させた状態で、電源電圧VDDを低下若しくは停止させれば、コンデンサC1～C4の電荷が徐々に消費され、昇圧電圧も低下する。従って、上記実施の形態と同様の効果を得ることができる。例えば、図9に示すように、電源ラインVDDと接地ラインVSSとの間に抵抗R2とスイッチSW10とを直列に接続し、電源電圧検出回路30が outputするハイレベルの電源切断信号SoffでスイッチSW10をオンし、電源ラインVDDの電圧を徐々に低下させても良い。この場合、スイッチ制御回路213は、電源切断検出信号offのレベルにかかわらず、低電圧VCHによりスイッチSW1～SW8の切換動作を続ける。

【0068】また、上記実施の形態では、電源遮断時に、信号電極11と走査電極13とを同一の電圧に固定したが、液晶層15が応答しない（液晶表示素子10が点灯しない）程度の電位差の電圧を印加してもよい。液晶表示素子10が点灯しない電圧は、素子毎に異なる。従って、液晶表示素子の仕様に応じて、実験等により印加電圧を選択する。例えば、液晶が応答する電圧（しきい値）が「VDD-V1」より大きい場合に、信号電極11に昇圧電圧V2を印加し、走査電極に昇圧電圧V3を印加すれば、液晶層15に印加される電圧は、V3-V2（VDD-V1にほぼ等しい）となって、液晶表示素子10の点灯を防止することができる。

【0069】また、例えば、図10（a）及び（b）に示すように、スイッチ制御回路213に供給するクロック信号CKの周波数を、ハイレベルの電源切断信号Soffに従って、周波数切換回路81で低周波数に切り替えても良い。この構成とすれば、単位時間当たりに、電荷搬送コンデンサC1～C4に分配される電荷が低減し、昇圧電圧を通常時よりも低くす

ることができる。

【0070】この場合も、時間の経過と共にコンデンサC1～C4に蓄積されている電荷が減少し、適切に表示を終了させることができる。

【0071】液晶表示素子駆動用のLSI（集積回路）は、液晶表示素子10の表示をオフするための命令（表示オフ命令）をサポートしている。この種のLSIは、表示オフ命令を受信すると、LSI内部の表示オン／オフ切換用のレジスタの値を書き換え、レジスタの値に従って表示をオフする。従って、このようなLSIを使用する場合には、例えば、図11に示すように、電源切断信号Soffに応答して、表示オフコマンドを発行するコマンド発行部91を配置してもよい。この場合、電源電圧VDDが低下すると、ハイレベルの電源切断信号Soffに従ってコマンド発行部91が表示オフコマンドを発行する。LSI内部の制御部92は表示オフコマンドに応答し、表示オン／オフ用レジスタ93の値を表示オフを指示する値に書き換える。表示制御部94は、レジスタ値に従って、表示をオフ状態とする。このような構成に

よっても、電源遮断時に適切に表示をオフすることができる。

【0072】また、電源電圧検出回路30の構成も、図3に示す構成に限定されず、任意に変更可能であり、電源電圧が基準レベルより低下したことを、検出できるならば、任意の構成を採用可能である。

【0073】さらに、上記実施の形態において、表示素子として、単純マトリクス型の液晶表示素子10の場合を説明したが、表示素子の構成は任意である。例えば、表示素子としてTFT或いはMIMを用いたアクティブマトリクス型の液晶表示素子を使用可能である。この場合にも、電源オフ時に、コンデンサの電荷を放電し、昇圧動作を停止し、非昇圧電圧を選択し、差がしきい値を超えないような波形の電圧を画素電極と共通電極との間に印加する。

【0074】また、信号駆動回路23、走査駆動回路25、タイミング回路27の構成等も任意に変更可能であり、画像信号も3ビット以上のデジタル信号でもよく、アナログ信号でもよい。

【0075】さらに、この発明の駆動回路は、液晶表示素子の駆動回路に限定されず、PDP（プラズマディスプレイパネル）、EL（エレクトロルミネッセンス）パネル、FED（フィールドエミッഷンディスプレイ）等の、コンデンサを用いて駆動電圧を生成し、電源遮断時に、コンデンサの電荷が表示素子に異常表示を行わせる可能性がある駆動回路に広く適用可能である。

【0076】

【発明の効果】以上説明したように、本発明によれば、電源遮断時に表示素子に発生する異常表示を防止し、表示を適切に終了させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置の構成を示すブロック図である。

【図2】図1に示す電源回路の構成を示すブロック図である。

【図3】図1に示す電源電圧検出回路の回路図である。

【図4】図2に示すスイッチSW1～SW8のオン・オフのタイミングを示すタイミングチャートである。

【図5】図2に示す電源回路の変形例である。

【図6】図5に示すスイッチSW1～SW8のオン・オフのタイミングを示すタイミングチャートである。

【図7】図1に示す信号駆動回路の構成を示すブロック図である。

【図8】図1に示す走査駆動回路の構成を示すブロック図である。

【図9】電源切断時に、電源電圧を低下させるための構成を示す図である。

* 【図10】(a)は、電源切断時に昇圧回路の昇圧電圧を低下させるためにクロック信号の周波数を低減するための構成を示す回路ブロック図であり、(b)は、電源切断時に、クロック周波数を低減させる様子を示すタイミングチャートである。

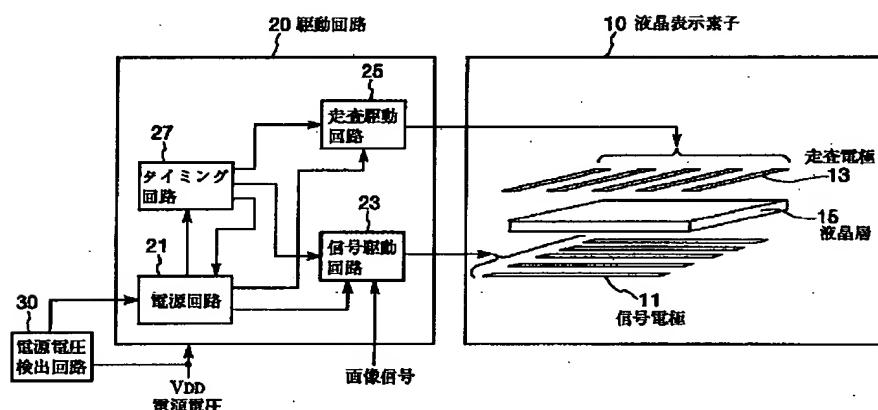
【図11】表示オン／オフ用レジスタを備える駆動用LSIを使用する場合の構成例を示すブロック図である。

【符号の説明】

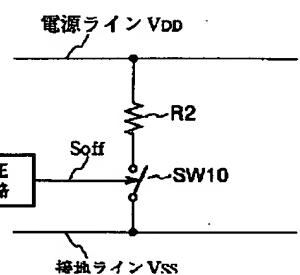
10 10…液晶表示素子、11…信号電極、13…走査電極、15…液晶層、20…駆動回路、21…電源回路、23…信号駆動回路、25…走査駆動回路、27…タイミング回路、30…電源電圧検出回路、210…昇圧回路、212…昇圧部、213…スイッチ制御回路、215…ボルテージフォロア増幅器、220…低電圧回路、221…定電圧回路、230…分圧回路、235…分圧用スイッチ制御回路

*

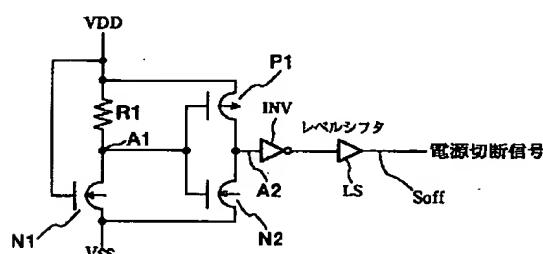
【図1】



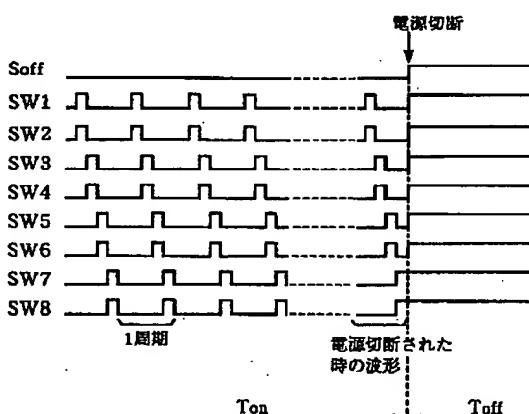
【図9】



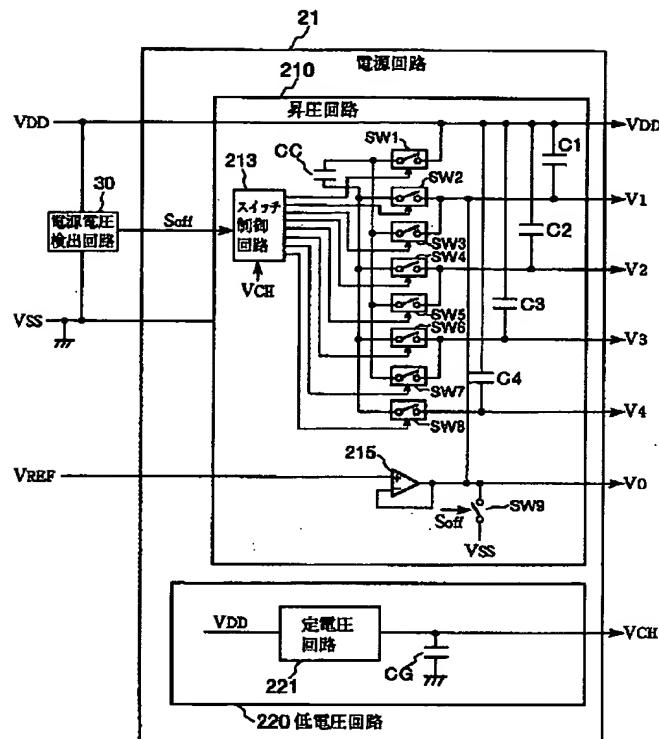
【図3】



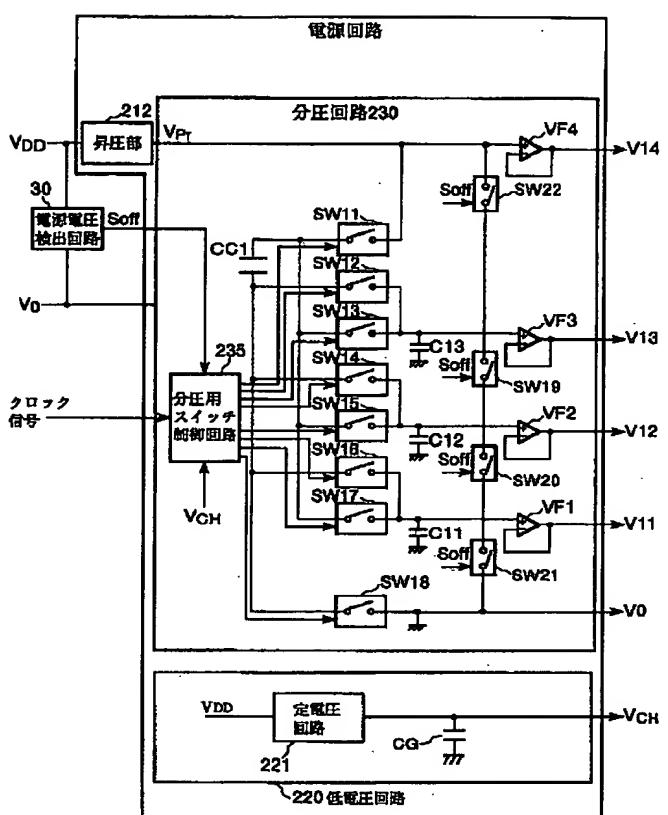
【図4】



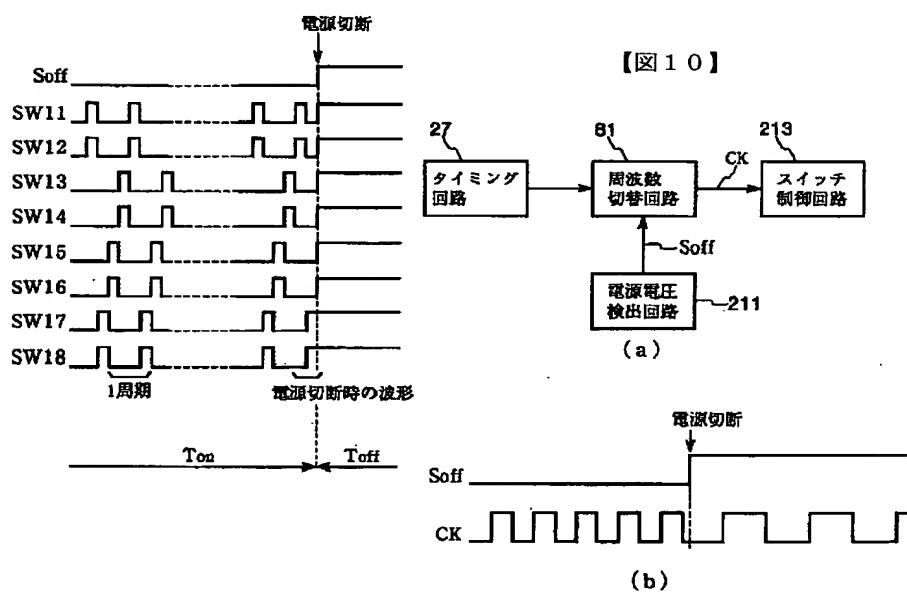
【図2】



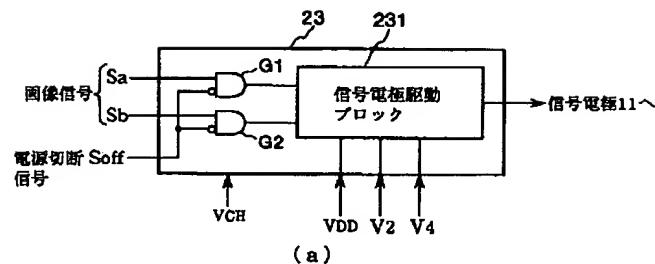
【図5】



【図6】

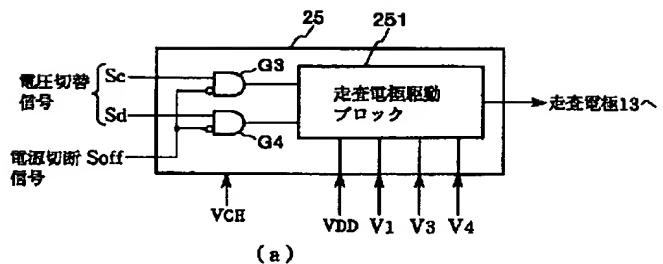


【図7】



(a)

【図8】



(a)

入力			出力
Sa	Sb	Soff	
L	L	L	VDD
L	H	L	V2
H	L	L	V4
H	H	L	V2
L	L	H	VDD
L	H	H	VDD
H	L	H	VDD
H	H	H	VDD

(b)

入力			出力
Sc	Sd	Soff	
L	L	L	VDD
L	H	L	V3
H	L	L	V4
H	H	L	V1
L	L	H	VDD
L	H	H	VDD
H	L	H	VDD
H	H	H	VDD

(b)

【図11】

